

ANX-PR/CL/001-01

GUÍA DE APRENDIZAJE

ASIGNATURA

93001028 - Arquitecturas Digitales Avanzadas

PLAN DE ESTUDIOS

09AZ - Master Universitario En Ingenieria De Sistemas Electronicos

CURSO ACADÉMICO Y SEMESTRE

2025/26 - Segundo semestre

Índice

Guía de Aprendizaje

1. Datos descriptivos.....	1
2. Profesorado.....	1
3. Conocimientos previos recomendados.....	2
4. Competencias y resultados de aprendizaje.....	2
5. Descripción de la asignatura y temario.....	3
6. Cronograma.....	5
7. Actividades y criterios de evaluación.....	7
8. Recursos didácticos.....	9
9. Otra información.....	9

1. Datos descriptivos

1.1. Datos de la asignatura

Nombre de la asignatura	93001028 - Arquitecturas Digitales Avanzadas
No de créditos	4 ECTS
Carácter	Optativa
Curso	Primer curso
Semestre	Segundo semestre
Período de impartición	Febrero-Junio
Idioma de impartición	Castellano
Titulación	09AZ - Master Universitario en Ingenieria de Sistemas Electronicos
Centro responsable de la titulación	09 - E.T.S. De Ingenieros De Telecomunicacion
Curso académico	2025-26

2. Profesorado

2.1. Profesorado implicado en la docencia

Nombre	Despacho	Correo electrónico	Horario de tutorías *
Pedro Jose Malagon Marzo (Coordinador/a)	B-113	pedro.malagon.marzo@upm.es	X - 13:00 - 14:00
Roman Cardenas Rodriguez	B-305	r.cardenas@upm.es	X - 14:00 - 15:00

* Las horas de tutoría son orientativas y pueden sufrir modificaciones. Se deberá confirmar los horarios de tutorías con el profesorado.

3. Conocimientos previos recomendados

3.1. Asignaturas previas que se recomienda haber cursado

El plan de estudios Master Universitario en Ingeniería de Sistemas Electronicos no tiene definidas asignaturas previas recomendadas para esta asignatura.

3.2. Otros conocimientos previos recomendados para cursar la asignatura

- Sistemas electrónicos basados en microprocesadores
- Diseño de circuitos electrónicos digitales
- Laboratorio de circuitos electrónicos digitales

4. Competencias y resultados de aprendizaje

4.1. Competencias

CE01 - Capacidad para evaluar las ventajas e inconvenientes de las alternativas tecnológicas en el diseño o fabricación de sistemas electrónicos analógicos, digitales, centrales o distribuidos.

CE06 - Capacidad para diseñar un sistema electrónico digital de complejidad media-alta empleando una plataforma basada en dispositivos programables, empleando un lenguaje de programación o aplicando metodologías, estrategias y herramientas CAD para la integración o el codiseño de componentes hardware y software.

4.2. Resultados del aprendizaje

RA37 - Conocimiento de arquitecturas digitales avanzadas

RA24 - Capacidad para especificar hardware mediante HDL.

RA30 - Conocimiento práctico de métodos modernos de diseño y herramientas básicas para el diseño con células estándar y FPGAs

RA38 - Capacidad de analizar sistemas basados en procesadores

RA36 - Capacidad de analizar alternativas de diseño existentes.

RA40 - Conocimiento de procedimientos de optimización

RA88 - Capacidad para seleccionar los tipos de plataformas de computación más adecuadas para abordar los problemas y las necesidades planteadas en un proyecto de ingeniería

RA25 - Capacidad de manejar plataformas hardware reconfigurables

5. Descripción de la asignatura y temario

5.1. Descripción de la asignatura

La asignatura de estructura en dos partes que luego se utilizan para realizar un proyecto final.

En la primera parte se presenta una plataforma System-on-Chip que incluye un procesador dedicado y FPGA. El objetivo de esta primera parte es:

- Aprender a utilizar los entornos de desarrollo para el diseño del System-on-Chip y el diseño, simulación y depuración del diseño hardware-software
- Conocer los buses de interconexión entre elementos hardware y hardware-software
- Conocer los distintos tipos de memoria disponibles, cómo usarlas y los rendimientos que ofrecen para distintas situaciones
- Conocer los co-procesadores vectoriales y cómo se pueden utilizar en lenguajes de alto nivel
- Conocer mecanismos para evaluar el rendimiento de un sistema hardware-software para encontrar cuellos de botella en el sistema
- Conocer los conceptos de bloques de propiedad intelectual hardware (bloques IP) y su uso/interconexión

En la segunda parte, que requiere de los conocimientos de la primera, se presentan herramientas para el diseño de bloques hardware IP desde lenguajes de alto nivel (C/C++), lo que se conoce como High Level Synthesis (HLS). Los objetivos de esta parte son:

- Conocer metodología de diseño de circuitos desde lenguajes de alto nivel, incluyendo la simulación software, la co-simulación hardware-software, la simulación hardware en un sistema y la depuración
- Conocer las posibles interfaces de los bloques IP y cómo se especifican
- Conocer el impacto de la declaración de las distintas señales del circuito en el área y las prestaciones
- Analizar las características del circuito generado, en términos de latencia, throughput, intervalos de iteración, memoria, área y consumo.
- Conocer técnicas de optimización de circuitos centradas en el desarrollo de bucles y la reestructuración de memorias.

Finalmente, se realizará un proyecto en que se usen todos los conceptos vistos en la asignatura

5.2. Temario de la asignatura

1. Arquitectura de procesadores: ARM9 con lógica programable
2. Diseño, simulación y depuración de sistemas con bloques IP
3. Sistemas con memoria: interfaz y movimiento de datos
4. Caracterización de sistemas en software (profiling)
5. Diseño de circuitos temporizados con lenguajes de alto nivel HLS
6. Diseño de circuitos optimizados con lenguajes de alto nivel

6. Cronograma

6.1. Cronograma de la asignatura *

Sem	Actividad tipo 1	Actividad tipo 2	Tele-enseñanza	Actividades de evaluación
1	Introducción y arquitectura de procesador Duración: 02:00 LM: Actividad del tipo Lección Magistral	Tutorial 1: Diseño hardware-software. Microcontrolador e IDE Duración: 02:30 PL: Actividad del tipo Prácticas de Laboratorio		
2	Simulación y depuración hardware-software Duración: 01:30 LM: Actividad del tipo Lección Magistral	Tutorial 2: Simulación y depuración hardware-software Duración: 02:30 PL: Actividad del tipo Prácticas de Laboratorio		
3	Memorias: buses, tipos, uso y movimiento de datos Duración: 01:30 LM: Actividad del tipo Lección Magistral	Tutorial 3: uso de memorias y DMA Duración: 02:30 PL: Actividad del tipo Prácticas de Laboratorio		
4		Ejercicio 1: lectura y escritura con DMA Duración: 04:00 PL: Actividad del tipo Prácticas de Laboratorio		
5	Coprocador vectorial y Profiling Duración: 01:30 LM: Actividad del tipo Lección Magistral	Tutorial 4: caracterización de sistemas (profiling) Duración: 02:30 PL: Actividad del tipo Prácticas de Laboratorio		
6	Diseño de circuitos con temporización con HLS Duración: 01:30 LM: Actividad del tipo Lección Magistral	Tutorial 5: diseño, simulación y uso de circuito digital con HLS Duración: 02:30 PL: Actividad del tipo Prácticas de Laboratorio		
7		Ejercicio 2: diseño e implementación de un controlador de matriz de leds Duración: 04:00 PL: Actividad del tipo Prácticas de Laboratorio		
8	Diseño de circuitos optimizados HLS Duración: 01:30 LM: Actividad del tipo Lección Magistral	Tutorial 6: optimización de circuitos digitales con HLS Duración: 02:30 PL: Actividad del tipo Prácticas de Laboratorio		
9	Filtros digitales: FIR e IIR Duración: 01:30 LM: Actividad del tipo Lección Magistral	Proyecto final: sistema ecualizador (1) Duración: 02:30 PL: Actividad del tipo Prácticas de Laboratorio		

10		Proyecto final: sistema ecualizador (2) Duración: 04:00 PL: Actividad del tipo Prácticas de Laboratorio		
11				
12				
13				
14				
15				
16				
17				Evaluación de tutoriales PGL: Técnica del tipo Presentación en Grupo de Laboratorio Evaluación Progresiva y Global Presencial Duración: 00:10 Ejercicio 1 EP: Técnica del tipo Examen de Prácticas Evaluación Progresiva y Global Presencial Duración: 00:10 Ejercicio 2 EP: Técnica del tipo Examen de Prácticas Evaluación Progresiva y Global Presencial Duración: 00:10 Proyecto final EP: Técnica del tipo Examen de Prácticas Evaluación Progresiva y Global Presencial Duración: 00:10 Test de conocimientos básicos ET: Técnica del tipo Prueba Telemática Evaluación Progresiva y Global Presencial Duración: 00:30

Para el cálculo de los valores totales, se estima que por cada crédito ECTS el alumno dedicará dependiendo del plan de estudios, entre 26 y 27 horas de trabajo presencial y no presencial.

7. Actividades y criterios de evaluación

7.1. Actividades de evaluación de la asignatura

7.1.1. Evaluación (progresiva)

Sem.	Descripción	Modalidad	Tipo	Duración	Peso en la nota	Nota mínima	Competencias evaluadas
17	Evaluación de tutoriales	PGL: Técnica del tipo Presentación en Grupo de Laboratorio	Presencial	00:10	50%	8 / 10	CE06 CE01
17	Ejercicio 1	EP: Técnica del tipo Examen de Prácticas	Presencial	00:10	15%	0 / 10	CE01
17	Ejercicio 2	EP: Técnica del tipo Examen de Prácticas	Presencial	00:10	15%	0 / 10	CE06
17	Proyecto final	EP: Técnica del tipo Examen de Prácticas	Presencial	00:10	10%	0 / 10	CE06 CE01
17	Test de conocimientos básicos	ET: Técnica del tipo Prueba Telemática	Presencial	00:30	10%	7 / 10	CE01

7.1.2. Prueba evaluación global

Sem	Descripción	Modalidad	Tipo	Duración	Peso en la nota	Nota mínima	Competencias evaluadas
17	Evaluación de tutoriales	PGL: Técnica del tipo Presentación en Grupo de Laboratorio	Presencial	00:10	50%	8 / 10	CE06 CE01
17	Ejercicio 1	EP: Técnica del tipo Examen de Prácticas	Presencial	00:10	15%	0 / 10	CE01

17	Ejercicio 2	EP: Técnica del tipo Examen de Prácticas	Presencial	00:10	15%	0 / 10	CE06
17	Proyecto final	EP: Técnica del tipo Examen de Prácticas	Presencial	00:10	10%	0 / 10	CE06 CE01
17	Test de conocimientos básicos	ET: Técnica del tipo Prueba Telemática	Presencial	00:30	10%	7 / 10	CE01

7.1.3. Evaluación convocatoria extraordinaria

Descripción	Modalidad	Tipo	Duración	Peso en la nota	Nota mínima	Competencias evaluadas
Evaluación de tutoriales	PGL: Técnica del tipo Presentación en Grupo de Laboratorio	Presencial	00:10	50%	8 / 10	CE06 CE01
Ejercicio 1	PGL: Técnica del tipo Presentación en Grupo de Laboratorio	Presencial	00:10	15%	0 / 10	CE01
Ejercicio 2	PGL: Técnica del tipo Presentación en Grupo de Laboratorio	Presencial	00:10	15%	0 / 10	CE06
Proyecto final	PGL: Técnica del tipo Presentación en Grupo de Laboratorio	Presencial	00:10	10%	0 / 10	CE06 CE01
Test de conocimientos básicos	ET: Técnica del tipo Prueba Telemática	Presencial	00:30	10%	7 / 10	CE01

7.2. Criterios de evaluación

La asignatura consta de tutoriales y ejercicios. Los ejercicios van encaminados a poder completar el proyecto final.

La fecha de entrega y evaluación es a final de curso, por lo que los alumnos pueden hacer el trabajo según les convenga, aunque la planificación de la asignatura sugiera unas fechas de finalización y entrega adecuadas.

El test incluye los conceptos más básicos, y se proporcionan mecanismos para garantizar que estos conceptos se pueden estudiar y adquirir al margen de los propios tutoriales.

Las pruebas que se hayan superado en las convocatorias ordinarias se mantienen de cara a la convocatoria extraordinaria

8. Recursos didácticos

8.1. Recursos didácticos de la asignatura

Nombre	Tipo	Observaciones
Página web de la asignatura	Recursos web	http://moodle.upm.es/titulaciones/oficiales

9. Otra información

9.1. Otra información sobre la asignatura

El curso gira alrededor del uso de la plataforma Zybo, con un System-on-Chip de la familia Zynq de Xilinx, y las herramientas de diseño Vivado HLx, que permiten el uso de la plataforma para diseñar e implementar sistemas HW/SW complejos, mejorando el tiempo de vida de los dispositivos por utilizar sistemas reconfigurables.

La asignatura se relaciona con los ODS (Objetivos de Desarrollo Sostenible) 7.Energía y 9.Industria, innovación e infraestructuras, en que presenta, tanto a nivel de diseño de circuitos como a nivel de diseño de sistemas, técnicas que permiten optimizar el consumo y las prestaciones de los sistemas digitales, favoreciendo con ello una mejor utilización de los recursos energéticos y la aplicación de las infraestructuras computacionales en el modelado y la simulación de todo tipo de sistemas complejos, incluyendo sistemas biológicos (ODS 3), ecológicos (ODS 14 y 15), energéticos (ODS 7), industriales (ODS 9) y climatológicos (ODS 13).



UNIVERSIDAD
POLITÉCNICA
DE MADRID

PR/CL/001
PROCESO DE COORDINACIÓN DE
LAS ENSEÑANZAS

ANX-PR/CL/001-01
GUÍA DE APRENDIZAJE



E.T.S. de Ingenieros de
Telecomunicacion