

---

# Electrónica Digital



# Electrónica Digital. Grupo 23.1

---

Prof. Miguel Ángel Sánchez García  
Despacho B-107

E-mail: [sanchez@die.upm.es](mailto:sanchez@die.upm.es)

Teléfono: 915495700 (x 4203)



# Electrónica Digital

---

- **Temario**
- **Evaluación**
- **Bibliografía**
- **Tutorías**



# Temario

## Electrónica Digital (EDIG) 3 ECTS

Nº de clase	Tema	Título Tema	Contenido
1	1	Codificación información y Álgebra de Boole	Introducción Electrónica Digital Abstracción digital (analógico vs. digital) Sistemas de numeración Representación números negativos
2	1	Codificación información y Álgebra de Boole	Álgebra de Boole. Axiomas Operadores básicos. Tabla de Verdad. Puertas Lógicas simples y complejas Mapas de Karnaugh
3	2	VHDL	Introducción al VHDL Estructura código VHDL
4	2	VHDL	Sintaxis básica
5	3	Circuitos Combinacionales	Multiplexores Interconexión de varios MUXes Implementación de funciones con MUXes Ejemplos y código VHDL
6	3	Circuitos Combinacionales	Codificadores y Decodificadores Interconexión de varios Ejemplos y código VHDL
7	3	Circuitos Combinacionales	Comparadores Sumadores Memorias no volátiles
8	3	Circuitos Combinacionales	Ejemplos y resolución Problemas del Tema 3
9	4	Circuitos Secuenciales	Elemento biestable básico Báscula Set-Reset Latch tipo-D
10	4	Circuitos Secuenciales	Flip-Flops activos por flanco de CLK Flip-Flops tipo D, tipo J-K y tipo T Temporización
11	4	Circuitos Secuenciales	Ejemplos y resolución Problemas de las clases 9 y 10
12	4	Circuitos Secuenciales	Registros de almacenamiento Contadores Registros de desplazamiento
13	2	VHDL	VHDL en circuitos secuenciales Sintaxis avanzada
14	5	Autómatas	Máquinas Moore y Mealy Diagrama de estados Tabla de transiciones autómatas
15	2	VHDL	Ejemplos y resolución problemas de autómatas con VHDL

5 temas

15 semanas de clases

El Tema 2 (VHDL) aparecerá a lo largo de todo el curso



# Evaluación

---

Los alumnos serán evaluados por defecto mediante **evaluación continua**. En cumplimiento de la Normativa de Evaluación de la Universidad Politécnica de Madrid, los alumnos que lo deseen serán evaluados mediante una única prueba final siempre y cuando lo comuniquen al Director del Departamento de Ingeniería Electrónica mediante solicitud presentada en el registro de la Escuela Técnica Superior de Ingenieros de Telecomunicación antes del día 2 de diciembre de 2011. La presentación de este escrito supondrá la renuncia automática a la evaluación continua.

La nota final de la evaluación continua se obtendrá mediante suma de las calificaciones correspondientes a las siguientes actividades de evaluación:

- Resolución y entrega de ejercicios en clase: representará un **10%** de la nota final.
- 3 pruebas de evaluación parcial: cada una de ellas representará un **30%** de la nota final.

Para aprobar la asignatura se requiere obtener una nota mínima de 4 puntos (sobre 10) en cada prueba de evaluación parcial y un mínimo de 5 puntos (sobre 10) en la nota final.



# Evaluación

## Para la evaluación continua:

- **Evaluación por defecto.**
- Entrega en clase de ejercicios propuestos al finalizar cada Tema (10% de la nota final).
- Pruebas parciales en las fechas:
  - 7 de Noviembre (temas 1-3, 30 % nota final)
  - 12 de Diciembre (temas 1-4, 30 % nota final)
  - 26 de Enero (temas 1-5, 30 % nota final)
- Nota mínima necesaria en cada una de las pruebas parciales para aprobar: **4 (sobre 10)**

## Para la evaluación con examen Final:

Examen Final el 26 de Enero

**FECHA límite para renunciar a la evaluación continua : 2 de Diciembre**



Jefatura de Estudios  
Programación Docente de Grado. Curso 2011-2012 (primer semestre).  
(Aprobada en JE del 13 de julio de 2011)

### CALENDARIO ESCOLAR CURSO 2011/2012 PLAN 2010

MES	SEM	L	M	MI	J	V	S	D	
SEP						1	2	3	4
		1	5	6	7	8	9	10	11
		2	12	13	14	15	16	17	18
		3	19	20	21	22	23	24	25
		4	26	27	28	29	30	1	2
OCT		5	3	4	5	6	7	8	9
		6	10	11	12	13	14	15	16
		7	17	18	19	20	21	22	23
		8	24	25	26	27	28	29	30
NOV		9	30	1	2	3	4	5	6
		7	8	9	10	11	12	13	14
		11	14	15	16	17	18	19	20
		12	21	22	23	24	25	26	27
		13	28	29	30	1	2	3	4
DIC		14	5	6	7	8	9	10	11
		15	12	13	14	15	16	17	18
		16	19	20	21	22	23	24	25
		17	26	27	28	29	30	31	1
ENE		18	2	3	4	5	6	7	8
		19	9	10	11	12	13	14	15
		20	16	17	18	19	20	21	22
		21	23	24	25	26	27	28	29
		22	30	31	1	2	3	4	5
FEB		23	6	7	8	9	10	11	12
		24	13	14	15	16	17	18	19
		25	20	21	22	23	24	25	26
		26	27	28	29	1	2	3	4
MAR		27	5	6	7	8	9	10	11
		28	12	13	14	15	16	17	18
		29	19	20	21	22	23	24	25
		30	26	27	28	29	30	31	1
ABR		31	2	3	4	5	6	7	8
		32	9	10	11	12	13	14	15
		33	16	17	18	19	20	21	22
		34	23	24	25	26	27	28	29
		35	30	1	2	3	4	5	6
MAY		36	7	8	9	10	11	12	13
		37	14	15	16	17	18	19	20
		38	21	22	23	24	25	26	27
		39	28	29	30	31	1	2	3
JUN		40	4	5	6	7	8	9	10
		41	11	12	13	14	15	16	17
		42	18	19	20	21	22	23	24
		43	25	26	27	28	29	30	1
JUL		44	2	3	4	5	6	7	8
		45	9	10	11	12	13	14	15
		46	16	17	18	19	20	21	22
		47	23	24	25	26	27	28	29
AGO		48	30	31	1	2	3	4	5
		49	6	7	8	9	10	11	12
		50	13	14	15	16	17	18	19
		51	20	21	22	23	24	25	26
		52	27	28	29	30	31	1	2
SEP			3	4	5	6	7	8	9
			10	11	12	13	14	15	16
			17	18	19	20	21	22	23
			24	25	26	27	28	29	30

Este calendario está sujeto a los posibles cambios que tengan lugar con carácter oficial.



# Actividades comunes a todos los grupos

## ACTIVIDADES COMUNES A TODOS LOS GRUPOS PRIMER SEMESTRE. Segundo curso P2010

LUNES DE 10:30h a 12:00h

SEMANA	DÍA	ACTIVIDAD PROGRAMADA	ACTIVIDAD EVALUACION
1	5/9		
2	12/9	INTRO LAB SSIT (AULA MAGNA – S. ACTOS)	
3	19/9		
4	26/9	Patrón de la Escuela	
5	3/10	INTRO VHDL	
6	10/10		
7	17/10		FGST(10:35 a 12)
8	24/10		EINB(10:35 a 12)
9	31/10		SALT(10:35 a 12)
10	7/11		EDIG(10:35 a 12)
11	14/11		SSIT(10:35 a 12)
12	21/11		
13	28/11		SALT(10:35 a 12)
14	5/12		FGST(10:35 a 12)
15	12/12		EDIG(10:35 a 12)
16	19/12		
17		Periodo vacaciones de Navidad	
18			
19	9/01	Lunes 9 clase de viernes	
			EINB (FINAL) SSIT(final) EDIG(final) SALT (final) FGST(final)ELMG(final) IGL2(final)

Clase práctica de VHDL común para todos los grupos

Salón de Actos  
10.30 am

Lunes 3-October



# Bibliografía

---

## Texto:

“Digital Design (Principles and practices)” 3ª y 4ª edición,  
John F. Wakerly, Prentice Hall. **ETSIT: C5210 WAK**

<http://www.ddpp.com/index3e.html>

## Problemas:

Problemas Resueltos de Electrónica Digital,  
Javier García Zubía, Thomson, 2003. **ETSIT: B1265 GAR**

Exámenes de la asignatura CEDG Plan 94. Delegación Alumnos

## Consulta:

Digital Fundamentals (9ª Edición),  
Thomas L. Floyd, Prentice Hall, 2006 **ETSIT: B1265 FLO**

Ejercicios de Electrónica Digital,  
Isidoro Padilla, Servicio de Publicaciones de la ETSIT, 1988  
**ETSIT: B1265 PAD**





---

Se dispone de información completa y actualizada sobre la asignatura en la dirección: <http://moodle.upm.es> (**Titulaciones Oficiales**)

Programa de la asignatura

Normativa sobre la asignatura, exámenes y revisiones

Profesorado y horarios de tutoría

Transparencias y material útil para la asignatura en formato electrónico

Uso de la plataforma Moodle de la UPM

Un portal por cada grupo de la asignatura

Clave de acceso: CEDG.2011 (igual para todos los grupos)



# Tutorías

---

Hora oficial de Tutorías:

Los JUEVES de 13 a 14 horas en el despacho B-107

